

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-64199

(43) 公開日 平成9年(1997)3月7日

(51) Int.Cl. <sup>6</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L	21/8238		H 0 1 L 27/08	3 2 1 H
	27/092		27/04	H
	27/04		29/78	3 0 1 K
	21/822			
	29/78			

審査請求 未請求 請求項の数1 F D (全 4 頁)

(21) 出願番号 特願平7-234724

(22) 出願日 平成7年(1995)8月21日

(71) 出願人 000004075

ヤマハ株式会社

静岡県浜松市中沢町10番1号

(72) 発明者 辻 信昭

静岡県浜松市中沢町10番1号ヤマハ株式会社  
社内

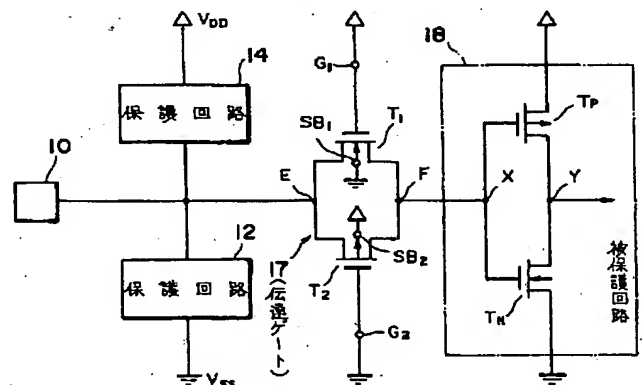
(74) 代理人 弁理士 伊沢 敏昭

(54) 【発明の名称】 入力保護回路

(57) 【要約】

【課題】 MOS型IC等の入力保護回路において、ICの非使用時に静電気等の過大入力から入力部を保護する。

【解決手段】 入力端子10と被保護回路18との間にコンプリメンタリMOS型の伝達ゲート17を接続する。ゲート17は、回路18の使用時には導通状態とされ、回路18の非使用時には非導通状態とされる。ゲート17が非導通状態にあるときは、ゲート17を構成するPN接合がブレイクダウンするか又はゲート17に寄生するラテラルバイポーラトランジスタがオンするまでは過大入力回路18の入力点Xに到達しない。ゲート17が導通状態にあるときは、入力端子10からの入力信号がゲート17を介して回路18の入力点Xに伝達される。



(2)

1

## 【特許請求の範囲】

【請求項1】入力信号を受取るための入力端子と、保護されるべき回路素子と、前記入力端子と前記回路素子との間に接続されたコンプリメンタリMOS型の伝達ゲートであって、前記回路素子の使用時には前記入力端子からの入力信号を前記回路素子に伝達すべく導通状態にされ、前記回路素子の非使用時には非導通状態にされるものとを備えた入力保護回路。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】この発明は、MOS型IC（集積回路）等に用いるに好適な入力保護回路に関し、特に入力端子と被保護回路との間にコンプリメンタリMOS（CMOS）型の伝達（トランスミッション）ゲートを接続したことにより被保護回路の非使用時に静電気等の過大入力から被保護回路の入力部を保護するようにしたものである。

## 【0002】

【従来の技術】従来、MOS型ICの入力保護回路としては、図4に示すものが知られている。

【0003】入力端子10と低い電位 $V_{SS}$ の電源ラインとの間には保護回路12が接続されると共に、入力端子10と高い電位 $V_{DD}$ の電源ラインとの間には保護回路14が接続される。入力端子10は、入力抵抗16を介して被保護回路18の入力点Xに接続される。入力抵抗16は、回路18の入力部を保護するためのもので、半導体基板上に設けられたポリシリコン等の抵抗層からなる。

【0004】被保護回路18は、NチャンネルMOS型トランジスタ $T_N$ 及びPチャンネルMOS型トランジスタ $T_P$ からなるCMOS型のインバータを含むもので、トランジスタ $T_N$ 、 $T_P$ のゲート接続点を入力点Xとし、トランジスタ $T_N$ 、 $T_P$ のドレイン接続点を出力点Yとしている。トランジスタ $T_N$ のソースが $V_{SS}$ の電源ラインに接続されると共に、トランジスタ $T_P$ のソースが $V_{DD}$ の電源ラインに接続される。

【0005】サージ、静電気等の過大入力が入力端子10に印加されると、過大入力は、保護回路12を介してAの経路で $V_{SS}$ のラインに吸収されるか又は保護回路14を介してBの経路で $V_{DD}$ のラインに吸収される。

## 【0006】

【発明が解決しようとする課題】上記した従来技術によると、製造工程中又は運搬中等でICの非使用時には $V_{DD}$ 用又は $V_{SS}$ 用のいずれの電源ラインの電位も不定レベルにある。このような状態で入力端子10に静電気等の過大入力に加わると、入力抵抗16を介してCの経路で過大入力が入力点Xに到達し、トランジスタ $T_N$ 、 $T_P$ のゲート絶縁膜を破壊し又は劣化させることがあった。

【0007】また、CDM（デバイス帯電モデル）のよ

2

うなシミュレーションを行なう場合、 $V_{DD}$ 用又は $V_{SS}$ 用のいずれかの電源ライン（例えば $V_{SS}$ 用のライン）に接地電位を付与した状態で入力端子10に立上り時間が1[n s]以下の急峻なESD（静電気放電）パルスを印加する。この場合には、例えば保護回路12が作動する前にCの経路で入力点XにESDパルスが到達し、トランジスタ $T_N$ 、 $T_P$ のゲート絶縁膜を破壊し又は劣化させることがあった。

【0008】この発明の目的は、上記したようなゲート絶縁膜の破壊や劣化を防止することができる新規な入力保護回路を提供することにある。

## 【0009】

【課題を解決するための手段】この発明に係る入力保護回路は、入力信号を受取るための入力端子と、保護されるべき回路素子と、前記入力端子と前記回路素子との間に接続されたコンプリメンタリMOS型の伝達ゲートであって、前記回路素子の使用時には前記入力端子からの入力信号を前記回路素子に伝達すべく導通状態にされ、前記回路素子の非使用時には非導通状態にされるものとを備えたものである。

【0010】この発明の構成によれば、保護されるべき回路素子の非使用時には、伝達ゲートが非導通状態にされるので、入力端子に静電気等の過大入力に加わっても、この過大入力は、伝達ゲートを構成するPN接合がブレイクダウンするか又は伝達ゲートに寄生するラテラルバイポーラトランジスタがオンするまでは回路素子に到達しない。従って、回路素子がMOS型トランジスタであれば、ゲート絶縁膜の破壊や劣化を免れることができる。

【0011】回路素子の使用時にあつては、伝達ゲートが導通状態にされることにより入力信号が入力端子から回路素子に伝達されるので、正常な動作を確保することができる。この場合、伝達ゲートのオン抵抗は、入力抵抗として利用することができる。

## 【0012】

【発明の実施の形態】図1は、この発明に係るMOS型ICの入力保護回路を示すもので、図1の回路は、図3に示す半導体基板20にICとして形成されるものである。

【0013】入力端子10は、半導体基板20上に設けられるボンディングパッドからなるもので、これには、図4で述べたと同様にして保護回路12、14が接続される。保護回路12及び14には、それぞれ $V_{SS}$ 用及び $V_{DD}$ 用の電源ラインが接続される。被保護回路18は、図4に関して前述したようにCMOS型のインバータを含むもので、図4と同様の部分には同様の符号を付して詳細な説明を省略する。

【0014】入力端子10と被保護回路18の入力点Xとの間には、CMOS型の伝達ゲート17が接続される。伝達ゲート17は、NチャンネルMOS型トランジ

(3)

スタ $T_1$ とPチャンネルMOS型トランジスタ $T_2$ とを並列接続して成るもので、ドレイン接続点Eが入力端子10に接続され、ソース接続点Fが入力点Xに接続される。

【0015】トランジスタ $T_1$ では、ゲート電極 $G_1$ が $V_{DD}$ の電源ラインに接続されると共に、サブストレート電極 $S-B_1$ が $V_{SS}$ の電源ラインに接続される。また、トランジスタ $T_2$ では、ゲート電極 $G_2$ が $V_{SS}$ の電源ラインに接続されると共に、サブストレート電極 $S-B_2$ が $V_{DD}$ の電源ラインに接続される。

【0016】図1の回路の使用時にあつては、伝達ゲート17が導通状態となり、入力端子10からの入力信号は、伝達ゲート17を介して入力点Xに供給される。この場合、伝達ゲート17のオン抵抗は、図4の入力抵抗16に相当する入力抵抗として利用可能である。伝達ゲート17のオン抵抗だけでは入力抵抗として不十分である場合は、伝達ゲートの入力側（接続点E側）又は出力側（接続点F側）にポリシリコン等の補助抵抗を接続すればよい。

【0017】製造工程中又は運搬中等で図1の回路が非使用であるときは、伝達ゲート17は、図2に示すような状態となる。図2において、接続点Eには保護回路12、14が接続されると共に、接続点Fには被保護回路18が接続されるが、図示を省略した。

【0018】トランジスタ $T_1$ において、ゲート電極 $G_1$ 及びサブストレート電極 $S-B_1$ の電位は、いずれも不定レベルである。また、トランジスタ $T_2$ において、ゲート電極 $G_2$ 及びサブストレート電極 $S-B_2$ の電位は、いずれも不定レベルである。

【0019】図3は、図2の伝達ゲート17の内部構成を示すもので、図2と同様の部分には同様の符号を付してある。

【0020】トランジスタ $T_1$ は、半導体基板20の表面に設けられたP型ウェル領域22内に形成されるもので、24は接続点Eに接続された $N^+$ 型ドレイン領域、26は接続点Fに接続された $N^+$ 型ソース領域、28はゲート電極 $G_1$ と一体をなすゲート電極層、30はサブストレート電極 $S-B_1$ に接続された $P^+$ 型ウェルコンタクト領域である。 $N^+$ 型領域24とP型領域22の間にはPN接合 $D_{11}$ が形成されると共に、P型領域22と $N^+$ 型領域26の間にはPN接合 $D_{12}$ が形成される。また、 $N^+$ 型領域24とP型領域22と $N^+$ 型領域26とで寄生的なラテラルバイポーラトランジスタ $Q_1$ を構成する。

【0021】トランジスタ $T_2$ は、半導体基板20の表面に設けられたN型ウェル領域32内に形成されるもので、34は接続点Eに接続された $P^+$ 型ドレイン領域、36は接続点Fに接続された $P^+$ 型ソース領域、38はゲート電極 $G_2$ と一体をなすゲート電極層、40はサブストレート電極 $S-B_2$ に接続された $N^+$ 型ウェルコンタ

クト領域である。 $P^+$ 型領域34とN型領域32との間にはPN接合 $D_{21}$ が形成されると共に、N型領域32と $P^+$ 型領域36との間にはPN接合 $D_{22}$ が形成される。また、 $P^+$ 型領域34とN型領域32と $P^+$ 型領域36とで寄生的なラテラルバイポーラトランジスタ $Q_2$ を構成する。

【0022】電極 $G_1$ 、 $G_2$ 、 $S-B_1$ 、 $S-B_2$ の電位がいずれも不定レベルである状態においては、トランジスタ $T_1$ 、 $T_2$ のいずれも非導通状態である。また、CMDのようなシミュレーションを行なう場合、例えば $V_{SS}$ 用の電源ラインに接地電位を与えると、電極 $S-B_1$ 、 $G_2$ が接地電位となるが、トランジスタ $T_1$ 、 $T_2$ は、いずれも非導通状態である。

【0023】このような状態において、ESDパルス等の過大入力が入力端子10に加わると、過大入力が高極性であればPN接合 $D_{12}$ 、 $D_{21}$ のいずれかがブレイクダウンするか又はトランジスタ $Q_1$ 、 $Q_2$ のいずれかがオンするまで、過大入力が高極性であればPN接合 $D_{11}$ 、 $D_{22}$ のいずれかがブレイクダウンするか又はトランジスタ $Q_1$ 、 $Q_2$ のいずれかがオンするまで過大入力が入力点Xに到達しない。従つて、被保護回路18では、トランジスタ $T_N$ 、 $T_P$ のゲート絶縁膜の破壊や劣化が防止される。

【0024】このように伝達ゲート17で過大入力を阻止するときは、図1の保護回路12及び/又は14で過大入力を逃がすことができる。

【0025】前述したように伝達ゲート17のオン抵抗だけでは入力抵抗として不十分である場合は、ポリシリコン等の補助抵抗を接続する代りに、図3の構成において $T_1$ 、 $T_2$ の各トランジスタ毎にソース領域及び/又はドレイン領域を用いて抵抗路を形成してもよい。このような抵抗路を形成するには、トランジスタ $T_1$ についてはコンタクト部 $D_1$ 、 $S_1$ からチャンネル部（ゲート電極層28の直下部分）に至る経路を長くするか又は該経路の幅を狭くし、トランジスタ $T_2$ についてはコンタクト部 $D_2$ 、 $S_2$ からチャンネル部（ゲート電極層38の直下部分）に至る経路を長くするか又は該経路の幅を狭くすればよい。

【0026】

【発明の効果】以上のように、この発明によれば、ICの非使用時に非導通状態にされるCMOS型の伝達ゲートを入力端子とICの入力部との間に接続して該入力部を静電気等の過大入力から保護するようにしたので、入力部でのゲート絶縁膜の破壊や劣化等の故障を未然に防止できる効果が得られるものである。

【0027】また、ICの使用時には、伝達ゲートが導通状態となり、オン抵抗を入力抵抗として利用できるので、ポリシリコン等の補助抵抗として抵抗値が小さいものを使用可能になったり、かかる補助抵抗を省略可能になったりする利点もある。

(4)

5

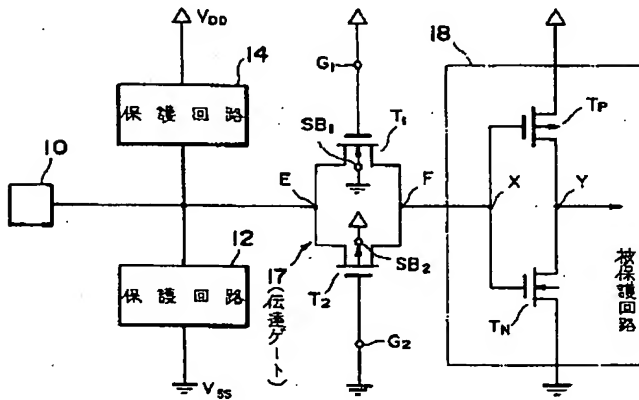
【図面の簡単な説明】

【図1】 この発明に係るMOS型ICの入力保護回路を示す回路図である。

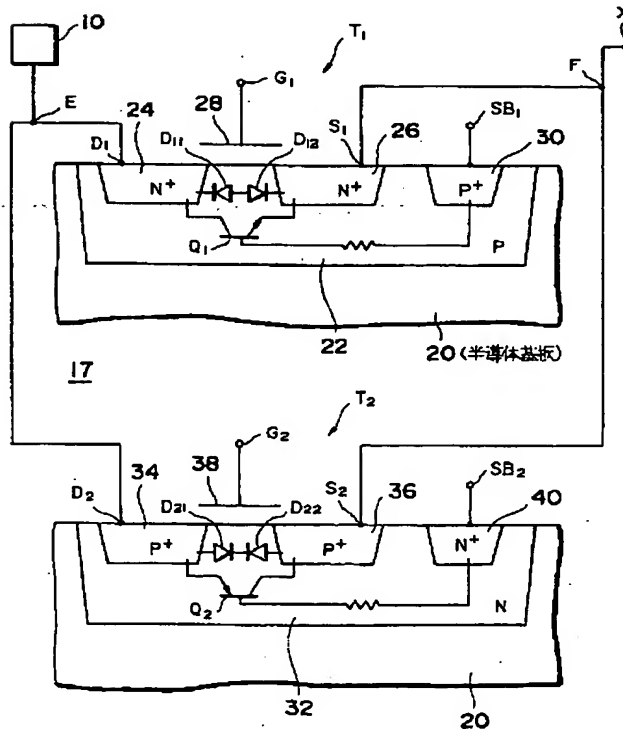
【図2】 ICの非使用時における伝達ゲートの状態を示す回路図である。

【図3】 図2の伝達ゲートの内部構成を示す基板断面図である。

【図1】



【図3】



6

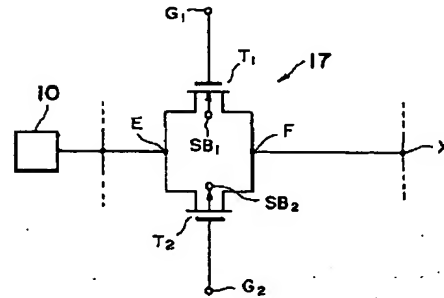
図である。

【図4】 従来の入力保護回路を示す回路図である。

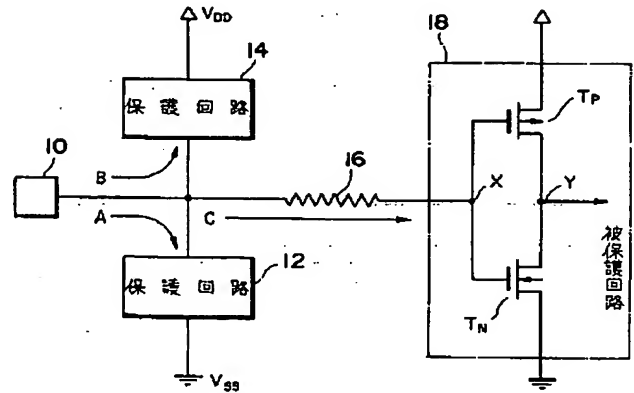
【符号の説明】

10：入力端子、17：伝達ゲート、18：被保護回路、20：半導体基板。

【図2】



【図4】



# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-064199

(43)Date of publication of application : 07.03.1997

(51)Int.Cl.

H01L 21/8238

H01L 27/092

H01L 27/04

H01L 21/822

H01L 29/78

(21)Application number : 07-234724

(71)Applicant : YAMAHA CORP

(22)Date of filing : 21.08.1995

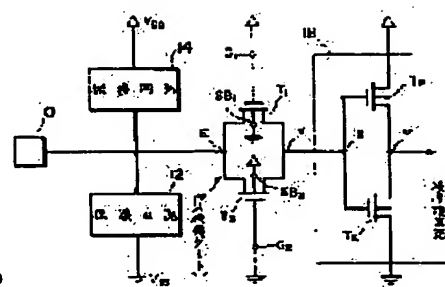
(72)Inventor : TSUJI NOBUAKI

## (54) INPUT PROTECTIVE CIRCUIT

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To protect an input part of an input protective circuit such as a MOS IC from an excessive input such as static electricity while the IC is not used.

**SOLUTION:** A complementary MOS transmission gate 17 is connected between an input terminal 10 and a circuit 18 to be protected. The gate 17 is in the conductive state while the circuit 18 is used and is in the non-conductive state while the circuit 18 is not used. While the gate 17 is in the conductive state, an excessive input dose not reach an input point X until a p-n junction constituting the gate 17 brakes down or until a bilateral bipolar transistor parasitic on the gate 17 turns on. While the gate 17 is in the conductive state, the input signal from the input terminal 10 is transmitted to the input point X of the circuit 18 via the gate 17.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

**\* NOTICES \***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2. \*\*\*\* shows the word which can not be translated.

3. In the drawings, any words are not translated.

---

**CLAIMS**

---

[Claim(s)]

[Claim 1] The input-protection circuit equipped with what is the transmission gate of the complementary MOS mold connected between the input terminal for receiving an input signal, the circuit element which should be protected, and said input terminal and said circuit element, is made into switch-on that the input signal from said input terminal should be transmitted to said circuit element at the time of use of said circuit element, and is made into non-switch-on at the time of un-using [ of said circuit element ] it.

---

[Translation done.]

**\* NOTICES \***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2. \*\*\*\* shows the word which can not be translated.

3. In the drawings, any words are not translated.

---

**DETAILED DESCRIPTION**

---

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention protects the input section of a protection network-ed from the excessive input of static electricity etc. about a suitable input-protection circuit to use for the MOS mold IC (integrated circuit) etc. at the time of un-using [ of a protection network-ed ] it by having connected the transfer (transmission) gate of the complementary MOS (CMOS) mold between the input terminal and the protection network-ed especially.

[0002]

[Description of the Prior Art] Conventionally, what is shown in drawing 4 is known as an input-protection circuit of the MOS mold IC.

[0003] While a protection network 12 is connected between an input terminal 10 and power-source Rhine of the low potential VSS, a protection network 14 is connected between an input terminal 10 and power-source Rhine of the high potential VDD. An input terminal 10 is connected to the input point X of the protection network 18-ed through input resistance 16. Input resistance 16 is for protecting the input section of a circuit 18, and consists of resistive layers, such as polish recon prepared on the semiconductor substrate.

[0004] the protection network 18— the N-channel MOS mold transistor TN And P channel MOS transistor TP from — the thing containing the inverter of the becoming CMOS mold — it is — Transistor TN and TP a gate node — an input point X — carrying out — Transistor TN and TP The drain node is made into the outputting point Y. Transistor TN It is Transistor TP while the source is connected to power—source Rhine of VSS. The source is connected to power—source Rhine of VDD.

[0005] If the excessive input of a surge, static electricity, etc. is impressed to an input terminal 10, an excessive input will be absorbed by Rhine of VSS in the path of A through a protection network 12, or will be absorbed by Rhine of VDD in the path of B through a protection network 14.

[0006]

[Problem(s) to be Solved by the Invention] According to the above—mentioned conventional technique, at the time of un—using [ of IC ] it, any potential of the object for VDD or power—source Rhine for VSS is in indeterminate level by the inside of a production process, or the conveyance middle class. If the excessive input of static electricity etc. joins an input terminal 10 in such the condition, an excessive input reaches an input point X in the path of C through input resistance 16, and they are Transistor TN and TP. It destroys or gate dielectric film might be degraded.

[0007] Moreover, when performing simulation like CDM (device electrification model), where touch—down potential is given to one for the object for VDD, or VSS of power—source Rhine (for example, Rhine for VSS), the rise time impresses the steep ESD (electrostatic discharge) pulse below 1 [ns] to an input terminal 10. In this case, before a protection network 12 operates, for example, an ESD pulse reaches an input point X in the path of C, and they are Transistor TN and TP. It destroys or gate dielectric film might be degraded.

[0008] The purpose of this invention is to offer the new input—protection circuit which can prevent destruction and degradation of gate dielectric film which was described above.

[0009]

[Means for Solving the Problem] The input—protection circuit concerning this invention is the transmission gate of the complementary MOS mold connected between the input terminal for receiving an input signal, the circuit element which should be protected, and said input terminal and said circuit element, is made into switch—on that the input signal from said input terminal should be transmitted to said circuit element at the time of use of said circuit element, and is equipped with what is made into non—switch—on at the time of un—using [ of said circuit element ] it.

[0010] Since a transmission gate is made into non—switch—on at the time of un—using [ of the circuit element which should be protected ] it according to the configuration of this invention, even if the excessive input of static electricity etc. joins an input terminal, it does not reach a circuit element until the lateral bipolar transistor which the PN junction which constitutes a transmission gate carries out breakdown, or is parasitic on a transmission gate turns on this excessive input. Therefore, if a circuit element is a MOS transistor, destruction and degradation of gate dielectric film can be escaped.

[0011] If it is at the time of use of a circuit element, since an input signal is transmitted to a circuit element from an input terminal by making a transmission gate into switch—on, normal actuation is securable. In this case, the on resistance of a transmission gate can be used as input resistance.

[0012]

[Embodiment of the Invention] Drawing 1 shows the input—protection circuit of the MOS mold IC concerning this invention, and the circuit of drawing 1 is formed in the semi—conductor substrate 20 shown in drawing 3 as an IC.

[0013] An input terminal 10 consists of a bonding pad prepared on the semi—conductor substrate 20, and protection networks 12 and 14 are similarly connected with drawing 4 having described at this. The object for VSS and power—source Rhine for VDD are connected to protection networks 12 and 14, respectively. As mentioned above about drawing 4 , including the inverter of a CMOS mold, the protection network 18—ed gives the same sign to the same part as drawing 4 , and omits detailed

explanation.

[0014] The transmission gate 17 of a CMOS mold is connected with an input terminal 10 between the input points X of the protection network 18-ed. A transmission gate 17 is the N-channel MOS mold transistor T1. P channel MOS transistor T2 Parallel connection is carried out, it changes, the drain node E is connected to an input terminal 10, and the source node F is connected to an input point X.

[0015] Transistor T1 It is the gate electrode G1. While connecting with power-source Rhine of VDD, it is the substrate electrode SB 1. It connects with power-source Rhine of VSS. Moreover, transistor T2 It is the gate electrode G2. While connecting with power-source Rhine of VSS, it is the substrate electrode SB 2. It connects with power-source Rhine of VDD.

[0016] If it is at the time of use of the circuit of drawing 1 , a transmission gate 17 will be in switch-on, and the input signal from an input terminal 10 is supplied to an input point X through a transmission gate 17. In this case, the on resistance of a transmission gate 17 is available as input resistance equivalent to the input resistance 16 of drawing 4 . What is necessary is to connect auxiliary resistance of polish recon etc. to the input side (Node E side) or output side (Node F side) of a transmission gate only by the on resistance of a transmission gate 17, when inadequate as input resistance.

[0017] When not using the circuit of drawing 1 by the inside of a production process, or the conveyance middle class, a transmission gate 17 will be in the condition that it is shown in drawing 2 . In drawing 2 , although the protection network 18-ed was connected at Node F while protection networks 12 and 14 were connected at Node E, illustration was omitted.

[0018] Transistor T1 It sets and is the gate electrode G1. And substrate electrode SB 1 Each potential is indeterminate level. Moreover, transistor T2 It sets and is the gate electrode G2. And substrate electrode SB 2 Each potential is indeterminate level.

[0019] Drawing 3 shows the internal configuration of the transmission gate 17 of drawing 2 , and has given the same sign to the same part as drawing 2 .

[0020] Transistor T1. It is N+ to which it is formed in the P type well field 22 established in the front face of the semi-conductor substrate 20, and 24 was connected at Node E. A mold drain field and 26 are N+ connected at Node F. A mold source field and 28 are the gate electrode G1. The gate electrode layer which makes one, and 30 are the substrate electrode SB 1. Connected P+ It is a mold well contact field. N+ While PN junction D11 is formed between the mold field 24 and the P type field 22, they are the P type field 22 and N+. PN junction D12 is formed between the mold fields 26. Moreover, N+ The mold field 24, the P type field 22, and N+ Lateral bipolar transistor Q1 parasitic in the mold field 26 It constitutes.

[0021] Transistor T2 It is P+ to which it is formed in the N type well field 32 established in the front face of the semi-conductor substrate 20, and 34 was connected at Node E. A mold drain field and 36 are P+ connected at Node F. A mold source field and 38 are the gate electrode G2. The gate electrode layer which makes one, and 40 are the substrate electrode SB 2. Connected N+ It is a mold well contact field. P+ While PN junction D21 is formed between the mold field 34 and the N type field 32, they are the N type field 32 and P+. PN junction D22 is formed between the mold fields 36. Moreover, P+ The mold field 34, the N type field 32, and P+ Lateral bipolar transistor Q2 parasitic in the mold field 36 It constitutes.

[0022] An electrode G1, G2, SB1, and SB2 It sets in the condition that each potential is indeterminate level, and is a transistor T1 and T2. All are non-switch-on. Moreover, when touch-down potential is given to power-source Rhine for VSS when performing simulation like CMD for example, it is an electrode SB 1 and G2. Although it becomes touch-down potential, it is a transistor T1 and T2. Each is non-switch-on.

[0023] In such a condition, if the excessive input of an ESD pulse etc. joins an input terminal 10 If an excessive input is negative polarity, either of PN junctions D12 and D21 will carry out breakdown, or it is a transistor Q1 and Q2. Until either turns on If an excessive input is straight polarity, either of PN



junctions D11 and D22 will carry out breakdown, or it is a transistor Q1 and Q2. An excessive input does not reach an input point X until either turns on. Therefore, in the protection network 18-ed, they are Transistor TN and TP. Destruction and degradation of gate dielectric film are prevented.

[0024] Thus, when preventing an excessive input in a transmission gate 17, an excessive input can be missed by the protection network 12 of drawing 1 , and/or 14.

[0025] It sets in the configuration of drawing 3 instead of connecting auxiliary resistance of polish recon etc. only by the on resistance of a transmission gate 17, when inadequate as input resistance as mentioned above, and is T1 and T2. A track may be formed using a source field and/or a drain field for every transistor. for forming such a track — transistor T1 \*\*\*\*\* — the contact section D1 and S1 Width of face of this path is narrowed. from — the path which results in the channel section (a part for the direct lower part of the gate electrode layer 28) being lengthened, or transistor T2 \*\*\*\*\* — the contact section D2 and S2 from — what is necessary is to lengthen the path which results in the channel section (a part for the direct lower part of the gate electrode layer 38), or just to narrow width of face of this path

[0026]

[Effect of the Invention] As mentioned above, since according to this invention the transmission gate of the CMOS mold made into non-switch-on at the time of un-using [ of IC ] it is connected between an input terminal and the input section of IC and this input section was protected from the excessive input of static electricity etc., the effectiveness that failure of destruction of the gate dielectric film in the input section, degradation, etc. can be prevented beforehand is acquired.

[0027] Moreover, since a transmission gate will be in switch-on and on resistance can be used as input resistance at the time of use of IC, there is also an advantage whose abbreviation of this auxiliary resistance becomes usable as auxiliary resistance of polish recon etc. about what has small resistance, or is attained.

---

[Translation done.]

#### \* NOTICES \*

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.\*\*\*\* shows the word which can not be translated.

3.In the drawings, any words are not translated.

---

#### DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is the circuit diagram showing the input-protection circuit of the MOS mold IC concerning this invention.

[Drawing 2] It is the circuit diagram showing the condition of the transmission gate at the time of un-using [ of IC ] it.

[Drawing 3] It is the substrate sectional view showing the internal configuration of the transmission gate of drawing 2 .

[Drawing 4] It is the circuit diagram showing the conventional input-protection circuit.

[Description of Notations]

10: An input terminal, 17:transmission gate, a protection network-ed [ 18:], 20 : semi-conductor substrate.

---

[Translation done.]